

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-142097

(43)Date of publication of application : 25.05.2001

(51)Int.Cl.

G02F 1/1368
G02F 1/1335
G09F 9/30
H01L 29/786
H01L 21/336

(21)Application number : 2000-263301

(71)Applicant : NEC CORP

(22)Date of filing : 31.08.2000

(72)Inventor : SAKAMOTO MICHIAKI
WATANABE TAKAHIKO
YOSHIKAWA SHUKEN
YAMAMOTO YUJI
OKAMOTO MAMORU
NAKADA SHINICHI
HIDEHIRA MASANOBU
HORIE YOSHITAKA
MARUYAMA MUNEO

(30)Priority

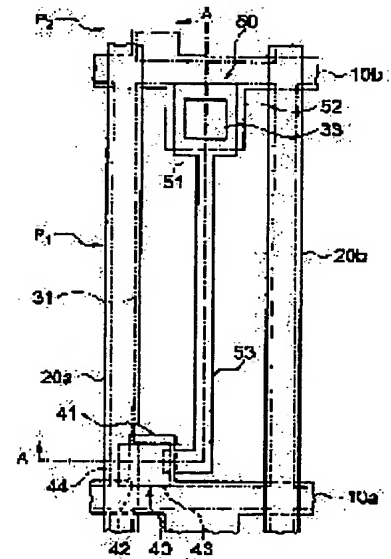
Priority number : 11247616 Priority date : 01.09.1999 Priority country : JP

(54) LIQUID CRYSTAL DISPLAY DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device and a manufacturing method therefor wherein especially a high definition liquid crystal display device is improved in an aperture ratio and has high reliability; a delay in charging a storage capacitance electrode and variance of the electric capacity are suppressed; and moreover, the device is simplified in structure and can be manufactured at low costs and a good yield.

SOLUTION: Belt-like data wiring 20a, 20b are arranged so as to cross address wiring 10a, 10b with an interposed gate insulating layer formed on the address wiring 10a, 10b. An upper insulating layer is formed on the data wiring 20a, 20b, and a pixel electrode 31 is formed on this upper insulating layer. A storage capacitance part 50 is provided with a common electrode 52 extending into pixel area P1 from the address wiring 10b of an adjoining pixel area P2, and the storage capacitance electrode 51 for storing electric capacity across the common electrode 52 with an interposed gate insulating layer. The storage capacitance electrode 51 and the pixel electrode 31 are connected via a conductive through-hole 33 penetrating through the upper insulating layer, and the storage capacitance electrode 51 and a source electrode 43 of a thin film transistor part 40 are integrally formed out of the same metallic film via wiring 53.



31 : 像素電極
33 : 導電性貫通孔
40 : TFT部
P1、P2 : 画素領域

LEGAL STATUS

[Date of request for examination] 31.08.2000

[Date of sending the examiner's decision of rejection] 19.08.2003

[Kind of final disposal of application other than the

THIS PAGE BLANK (USPTO)

examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number] 3555866

[Date of registration] 21.05.2004

[Number of appeal against examiner's decision of
rejection] 2003-18315

[Date of requesting appeal against examiner's decision
of rejection] 18.09.2003

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-142097

(P2001-142097A)

(43)公開日 平成13年5月25日(2001.5.25)

(51)Int.Cl.	識別記号	F I	テームコード(参考)
G 0 2 F 1/1368		G 0 2 F 1/1335	5 0 0
	1/1335		5 0 5
		G 0 9 F 9/30	3 3 8
G 0 9 F 9/30	3 3 8	G 0 2 F 1/136	5 0 0
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 D

審査請求 有 請求項の数13 O L (全 17 頁) 最終頁に続く

(21)出願番号 特願2000-263301(P2000-263301)

(22)出願日 平成12年8月31日(2000.8.31)

(31)優先権主張番号 特願平11-247616

(32)優先日 平成11年9月1日(1999.9.1)

(33)優先権主張国 日本 (J P)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 坂本 道昭

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 渡邊 貴彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100090158

弁理士 藤巻 正憲

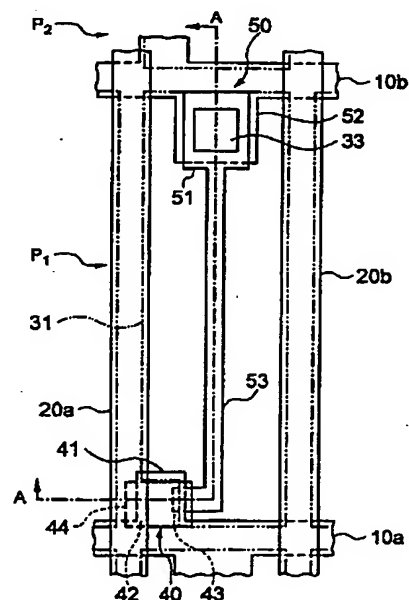
最終頁に続く

(54)【発明の名称】 液晶表示装置とその製造方法

(57)【要約】

【課題】 特に高精細液晶表示装置において開口率が向上し、高い信頼性を有し、蓄積容量電極における充電の遅延及びその静電容量のバラツキが抑制され、しかも構造が簡単で低コストで歩留まりよく製造できる液晶表示装置及びその製造方法を提供する。

【解決手段】 アドレス配線10a, 10b上に形成されたゲート絶縁層を挟んでアドレス配線10a, 10bと交差するように帯状のデータ配線20a, 20bが配置されている。データ配線20a, 20b上に上層絶縁層が形成され、この上層絶縁層上に画素電極31が形成されている。蓄積容量部50は隣接する画素領域P2のアドレス配線10bから画素領域P1内に延びる共通電極52と、ゲート絶縁層を挟んで共通電極52との間で静電容量を蓄積する蓄積容量電極51とを備える。蓄積容量電極51と画素電極31とが上層絶縁層を貫通する導電性貫通孔33により接続され、かつ蓄積容量電極51と薄膜トランジスタ部40のソース電極43とが配線53を介して同一金属膜で一体に形成されている。



31: 画素電極
33: 導電性貫通孔
40: TFT部
P1, P2: 画素領域

【特許請求の範囲】

【請求項1】 絶縁性基板上に形成された複数のアドレス配線と、前記アドレス配線の上に形成されたゲート絶縁層と、このゲート絶縁層を挟んで前記アドレス配線と交差するように形成された複数のデータ配線と、前記データ配線の上に形成された上層絶縁層と、前記上層絶縁層の上に形成され前記アドレス配線とデータ配線とに囲まれた画素領域内の液晶に電位を印加する透明導電膜からなる画素電極と、前記各画素領域に配置され、前記アドレス配線に接続されたゲート並びに前記データ配線及び前記画素電極に接続された1対の電極を有し、前記ゲートに印加される信号により前記1対の電極を選択的に接続する薄膜トランジスタ部と、前記各画素領域に隣接する画素領域のアドレス配線に接続された共通電極との間又は前記絶縁性基板上に形成されて前記各画素領域を通る補助容量共通配線との間に静電容量を蓄積する蓄積容量電極とを備え、前記薄膜トランジスタ部の前記画素電極に接続された電極と前記蓄積容量電極とが同一金属膜で一体に形成され、前記蓄積容量電極と前記画素電極とが前記蓄積容量電極上に設けられた導電性貫通孔により接続されていることを特徴とする液晶表示装置。

【請求項2】 前記蓄積容量電極は配線を介して前記薄膜トランジスタ部の前記画素電極に接続された電極に接続されており、前記共通電極は前記ゲート絶縁層を挟んで前記蓄積容量電極と相互に重なる部分と、前記ゲート絶縁層を挟んで前記配線と相互に重なる部分とを有することを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記共通電極の前記配線と重なる部分は前記配線と同一の幅を有し、前記部分と前記配線とはその長手方向の半分の領域において幅方向の一方にずれており、残りの領域において幅方向の他方にずれて配置されていることを特徴とする請求項2に記載の液晶表示装置。

【請求項4】 前記導電性貫通孔に接続する蓄積容量電極の部分と、前記アドレス配線又は前記補助容量共通配線とが、前記ゲート絶縁層を挟んで互いに重畳しないように配置されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項5】 前記導電性貫通孔に接続する蓄積容量電極の部分と前記ゲート絶縁層との間にエッチング保護層が設けられていることを特徴とする請求項1に記載の液晶表示装置。

【請求項6】 前記エッチング保護層がアモルファスシリコン膜からなることを特徴とする請求項5に記載の液晶表示装置。

【請求項7】 前記データ配線が一定幅の帯状に形成され、かつ前記薄膜トランジスタ部のデータ配線に連結する電極がこの帯状データ配線内に含まれるように形成されていることを特徴とする請求項1乃至6のいずれか1

項に記載の液晶表示装置。

【請求項8】 前記上層絶縁膜はシリコン窒化膜からなる第1上層絶縁膜と有機膜からなる第2上層絶縁膜との2層構造であることを特徴とする請求項1乃至6のいずれか1項に記載の液晶表示装置。

【請求項9】 前記第1上層絶縁膜と前記第2上層絶縁膜との間にカラーフィルター及び／又はブラックマトリクスが設けられていることを特徴とする請求項1乃至6のいずれか1項に記載の液晶表示装置。

【請求項10】 絶縁性基板上に複数のアドレス配線と、各画素領域において前記アドレス配線から延びるゲートとを形成し、前記アドレス配線及び前記ゲート上にゲート絶縁層を形成し、このゲート絶縁層の上に、前記アドレス配線と交差して前記画素領域を形成する複数のデータ配線と、各画素領域の薄膜トランジスタ部において前記データ配線から延びる電極と、画素電極に接続される電極と、この画素電極に接続される電極から同一金属膜で一体に延びて隣接する画素領域のアドレス配線との間に静電容量を蓄積する蓄積容量電極とを形成し、前記データ配線、前記各電極及び前記蓄積容量電極上に上層絶縁層を形成し、この上層絶縁層に前記蓄積容量電極に達する貫通孔を形成し、前記上層絶縁層の上に前記画素電極を形成すると共に、この画素電極と前記蓄積容量電極とを前記貫通孔で接続することを特徴とする液晶表示装置の製造方法。

【請求項11】 絶縁性基板上に複数のアドレス配線と、各画素領域において、前記アドレス配線から延びるゲートと補助容量共通配線とを形成し、前記アドレス配線、前記ゲート及び前記補助容量共通配線上にゲート絶縁層を形成し、このゲート絶縁層の上に、前記アドレス配線と交差して前記画素領域を形成する複数のデータ配線と、各画素領域の薄膜トランジスタ部において前記データ配線から延びる電極と、前記画素電極に接続される電極と、この画素電極に接続される電極から同一金属膜で一体に延びて前記補助容量共通配線との間に静電容量を蓄積する蓄積容量電極とを形成し、前記データ配線、前記電極及び前記蓄積容量電極上に上層絶縁層を形成し、この上層絶縁層に前記蓄積容量電極に達する貫通孔を形成し、前記上層絶縁層の上に前記画素電極を形成すると共に、この画素電極と前記蓄積容量電極とを前記貫通孔で接続することを特徴とする液晶表示装置の製造方法。

【請求項12】 前記ゲート絶縁層と前記蓄積容量電極との間にエッチング保護層を設けることを特徴とする請求項10又は11に記載の液晶表示装置の製造方法。

【請求項13】 前記エッチング保護層を、前記薄膜トランジスタ部においてゲート絶縁層の上に形成されるアモルファスシリコン膜からなるチャネル層及びコンタクト層の形成と同時に、アモルファスシリコン膜を用いて形成することを特徴とする請求項12に記載の液晶表示

装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（TFT）方式の液晶表示装置及びその製造方法に関し、特に高精細液晶表示装置において、改善された開口率と高い信頼性とを有し、しかも構造が簡単で安価かつ歩留まりよく製造できる液晶表示装置及びその製造方法に関する。

【0002】

【従来の技術】薄膜トランジスタ（以下、TFTという）をスイッチング素子として用いるアクティブマトリクス型液晶表示装置は、夫々独立したTFT及び画素電極を有する画素領域がマトリクス状に配置されたTFTアレイ基板と、遮光膜（いわゆるブラックマトリクス）と、着色層及び透明共通電極が積層されたカラーフィルタ基板とが液晶を挟んで対向配置されて構成されている。

【0003】図16は、従来の液晶表示装置における1画素領域の回路構成を示す回路図である。図16において、この液晶表示装置は、絶縁性基板上に形成された複数のアドレス配線110a、110b…と、この上にゲート絶縁層を挟んでアドレス配線110a、110b…と交差するように形成された複数のデータ配線120a、120b…と、アドレス配線110a、110bとデータ配線120a、120bとで囲まれた当該画素領域P1に形成された液晶素子130と、この液晶素子130を駆動するTFT部140と、液晶素子130と並列に静電容量を蓄積する蓄積容量部150とを有している。

【0004】アドレス配線110a、110b…は、アドレス配線ドライバ（図示せず）によって駆動され、液晶表示装置の表示面で走査線を形成する信号を画素領域P1のTFT部140に伝達する。

【0005】データ配線120a、120b…は、データ配線ドライバ（図示せず）によって駆動され、当該画素領域P1のTFT部140に画像信号を伝達する。

【0006】液晶素子130は、画素領域P1の範囲内に広がる画素電極131と液晶132と、この液晶132を挟んで画素電極131と対向しかつ液晶表示装置の表示面全体に共通する対向電極133とから構成され、この対向電極133は共通電位COMに接続されている。この画素電極131と対向電極133とはいずれも、ITO（インジウム・錫オキシド）等の透明導電膜によって形成されている。

【0007】TFT部140は、アドレス配線110aから延びるゲート141と、データ配線120aから延びる電極（以下、ドレイン電極という）142と、画素電極131に接続された電極（以下、ソース電極という）143とからなり、ゲート141に印加される走査

線信号によりドレイン電極142とソース電極143とが選択的に接続し、データ配線120aからもたらされる画像信号を画素電極131に伝達するようになっている。

【0008】蓄積容量部150は、アドレス配線110aが非選択となったときに画素電極131に印加されていた液晶駆動電位が、TFT部140等を通じてリークすることによって低下し、液晶132が不活性モードに移行して色濃度が変化することを防止するために、ゲート141に次の走査線信号が印加されるまで液晶駆動電位を保持するために設けられている。図16の例では、蓄積容量部150は、隣接する画素領域P2のアドレス配線110bと当該画素領域P1の蓄積容量電極151との間に形成されている。隣接する画素領域P2のアドレス配線110bは、当該画素領域P1に走査線信号が印加されているときは非選択となっていて、-10V程度の定電位がドライバIC（図示せず）から与えられているので、蓄積容量部150の共通電極152として利用することができる。

【0009】液晶表示装置の他の例としては、蓄積容量電極151に対向する共通電極を隣接する画素領域P2のアドレス配線110bから引かず、別途にアドレス配線110aと110bとの間に補助容量共通配線を設け、この補助容量共通配線を蓄積容量電極151に対向する共通電極152として用いる場合もある。

【0010】図17は図16に示した回路構成からなる従来の液晶表示装置における画素領域を示す平面図、図18は図17のF-F線で切った断面図である。図16に示した回路構成からなる従来の液晶表示装置における画素領域の一般的な構成を図17及び図18に示す。

【0011】図17及び図18において、この液晶表示装置は、絶縁性基板101上にアドレス配線110a、110bが形成され、この上にゲート絶縁層102が形成され、更にこの上にアドレス配線110a、110bと交差するデータ配線120a、120bが形成され、アドレス配線110a、110bとデータ配線120a、120bとで囲まれた画素領域P1内に画素電極131が配設され、また、この画素領域P1には、アドレス配線110aから延びたゲート141とデータ配線120aから延びたドレイン電極142と画素電極131に接続されたソース電極143とからなるTFT部140が形成され、このソース電極143と画素電極131とは上層絶縁層103を貫通する導電性貫通孔135で接続されている。この液晶表示装置においては、画素電極131の一方の端部が隣接する画素領域のアドレス配線110bと重畳する位置まで延びて蓄積容量電極151を形成し、アドレス配線110bを共通電極152とする蓄積容量部150を形成している。

【0012】しかし、図17及び図18に示した液晶表示装置では、蓄積容量電極151とその共通電極152

との間にゲート絶縁層102と上層絶縁層103とが挟まれていて誘電体層が厚いので、面積当たりの静電容量が小さい。そこで、アドレス配線110bの一部を共通電極152として画素領域内に延ばし、蓄積容量部150の面積を増大する方法が考えられたが、蓄積容量部は不透明なので、所定の画素領域内で開口率と静電容量とを共に確保することが困難になり、画像が暗くなるという問題が生じる。

【0013】図19は、従来の他の液晶表示装置における画素領域を示す断面図である。この問題を解決するために、図19に示すように、ゲート絶縁層102を挟んでアドレス配線110bの上にソース電極143と同様の金属膜を用いて蓄積容量電極151を形成し、この蓄積容量電極151が上層絶縁層103を貫通する導電性貫通孔136によって画素電極131に接続された構造が提案された。

【0014】最近になって、高精細の液晶表示装置が求められるに伴い、画素領域の寸法も従来は、例えば $100\mu\text{m} \times 300\mu\text{m}$ 程度であったものが最近では $40\mu\text{m} \times 120\mu\text{m}$ 程度となり、高度な加工精度が求められると共に、画素の開口率を阻害する要因を極力画素領域から排除することが求められるようになった。そこで、図19の構成が、1画素領域内に2個の導電性貫通孔135、136を必要とすることが問題になった。即ち、導電性貫通孔135、136を形成する加工精度には限界があり、特に平坦化のために上層絶縁層103に有機絶縁膜等の厚い膜を用いた場合には、この有機絶縁膜に形成する貫通孔の大きさを小さくしようとしても限界がある。例えば現状のプロセスでは、 $10\mu\text{m} \times 10\mu\text{m}$ 以下の導電性貫通孔を精度・歩留りよく形成することは非常に困難である。従って高精細の液晶表示装置において、1画素領域内に2個の導電性貫通孔135、136が存在することは開口率を著しく阻害する要因となった。例えば $40\mu\text{m} \times 120\mu\text{m}$ の高精細画素領域に前記寸法の導電性貫通孔135、136が2個存在すると、開口率は高々49%にすぎない。

【0015】高精細の液晶表示装置における開口率に係わる前記の課題を解決しようとして、本発明者らは導電性貫通孔を一つにすることを考えた。この観点から類似する技術として、特開平9-152625号公報は、例えば図20及び図21に示す単一貫通孔方式の液晶表示装置を提案している。図20は従来の単一貫通孔方式の液晶表示装置における画素領域を示す平面図、図21は図20のG-G線で切った断面図である。図20及び図21において、この液晶表示装置は、透明絶縁性基板201上にアドレス配線210a、210bが形成され、ゲート絶縁層202を挟んでアドレス配線210a、210bと交差するデータ配線220a、220bが形成されて画素領域を形成している。このデータ配線220a、220bは、下層の透明導電膜221と上層の金属

膜222との2層構造とされている。この画素領域内で、アドレス配線210aから延びたゲート241と、データ配線220aから画素領域内に延びた突出部に接続されたn⁺型アモルファスシリコン膜からなるドレイン電極242と、ゲート241に印加される信号によりドレイン電極242に選択的に接続されるn⁺型アモルファスシリコン膜からなるソース電極243と、このソース電極243の端末に接続された透明導電膜からなる配線253及びこの配線253から一体に延びた蓄積容量電極251と、上層絶縁層203を挟んでその上に形成され、上層絶縁層203を貫通する導電性貫通孔236により蓄積容量電極251に接続された画素電極231と、ソース電極243と配線253との接続部に配された金属層254とが形成されている。この構成によって導電性貫通孔は1個（導電性貫通孔236）のみとなり、開口率の拡大が図られている。

【0016】しかし、前記単一貫通孔方式の液晶表示装置には下記の問題があり実施が困難であった。即ち、この方式ではゲート絶縁層202と上層絶縁層203との間にITOで代表される透明導電膜からなる配線253及び蓄積容量電極251が形成されているので、このために従来の方式よりパターニング工程が1工程増えることになる。そしてITOのパターニングには王水を用いるが、TFT部のドレイン電極242及びソース電極243がn⁺型アモルファスシリコン膜で形成されており、このn⁺型アモルファスシリコン膜は王水に溶解するので、これを保護するための工程が更に増えてしまう。また、透明導電膜のパターニングは、加工精度が金属膜に比べてかなり悪いために透明導電膜でパターニングされた蓄積容量電極251は蓄積容量のバラツキ又は欠損が大きく、画素間で画像の安定性が異なるために表示面全体を見るとムラが発生し見づらくなる。更に、配線253はn⁺型アモルファスシリコン膜からなるソース電極243に直接接続されているが、ITO膜とn⁺型アモルファスシリコン膜との接続界面における接触抵抗は大きいので、静電容量を充電する時間の遅延が無視できない程度となり、十分に充電できなくなる。

【0017】本発明はかかる問題点に鑑みてなされたものであって、特に高精細液晶表示装置において開口率が向上し、高い信頼性を有し、蓄積容量電極における充電の遅延及びその静電容量のバラツキが抑制され、しかも構造が簡単で低コストで歩留まりよく製造できる液晶表示装置及びその製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明に係る液晶表示装置は、絶縁性基板上に形成された複数のアドレス配線と、前記アドレス配線の上に形成されたゲート絶縁層と、このゲート絶縁層を挟んで前記アドレス配線と交差するように形成された複数のデータ配線と、前記データ配線の上に形成された上層絶縁層と、前記上層絶縁層の

上に形成され前記アドレス配線とデータ配線とに囲まれた画素領域内の液晶に電位を印加する透明導電膜からなる画素電極と、前記各画素領域に配置され、前記アドレス配線に接続されたゲート並びに前記データ配線及び前記画素電極に接続された1対の電極を有し、前記ゲートに印加される信号により前記1対の電極を選択的に接続する薄膜トランジスタ部と、前記各画素領域に隣接する画素領域のアドレス配線に接続された共通電極との間又は前記絶縁性基板上に形成されて前記各画素領域を通る補助容量共通配線との間に静電容量を蓄積する蓄積容量電極とを備え、前記薄膜トランジスタ部の前記画素電極に接続された電極と前記蓄積容量電極とが同一金属膜で一体に形成され、前記蓄積容量電極と前記画素電極とが前記蓄積容量電極上に設けられた導電性貫通孔により接続されていることを特徴とする。

【0019】本発明の液晶表示装置は、画素領域内の導電性貫通孔が1個のみであるので、特に高精細液晶表示装置において、導電性貫通孔が2個必要であった従来の画素構成に比べて開口率が向上する。また蓄積容量電極とソース電極とが同一金属膜で一体に形成されているので、蓄積容量電極とソース電極とが1度のパターニングで形成でき、製造工程が簡略化され、安価に液晶表示装置を製造することができる。更に、蓄積容量電極がソース電極と同一の金属膜で一体に形成されていることにより、その間に接触抵抗は発生せず従って充電の遅延が起こらないばかりでなく、金属膜の加工精度は高いので蓄積容量電極のパターン精度が高く欠損や静電容量のバラツキも小さく抑えられる。

【0020】前記蓄積容量電極は配線を介して前記薄膜トランジスタ部の前記画素電極に接続された電極に接続されており、前記共通電極は前記ゲート絶縁層を挟んで前記蓄積容量電極と相互に重なる部分と、前記ゲート絶縁層を挟んで前記配線と相互に重なる部分とを有することが好ましい。このように、共通電極は蓄積容量電極と重なっているだけでなく、配線とも重なり合っているので、蓄積容量を大きくすることができる。

【0021】前記共通電極の前記配線と重なる部分は前記配線と同一の幅を有し、前記部分と前記配線とはその長手方向の半分の領域において幅方向の一方にずれており、残りの領域において幅方向の他方にずれて配置されているように構成できる。なお、共通電極又は配線のいずれか一方の幅を広くすることにより、露光機によるアライメントのずれを補償することができる。しかし、そうすると、開口率の低下が大きくなるので、上述の如く、同一の幅を有する配線と共通電極における配線と重なる部分とを互い違いに幅方向にずらすことで開口率の低下を抑えることができる。

【0022】導電性貫通孔に接続する蓄積容量電極の部分と、アドレス配線又は補助容量共通配線とが、ゲート絶縁層を挟んで互いに重畳しないように配置されている

ことが好ましい。

【0023】蓄積容量電極と画素電極とを接続する導電性貫通孔は、上層絶縁層をエッチングして形成される。このエッチングに際して、蓄積容量電極の形状に欠損があると、この欠損を通してゲート絶縁膜までエッチングされ、貫通孔が下層のアドレス配線又は補助容量共通配線にまで達する場合がある。この貫通孔に導電化処理を施すと、蓄積容量電極とアドレス配線又は補助容量共通配線との間にリークが生じる。この場合にも、蓄積容量電極の導電性貫通孔に接続する部分とアドレス配線又は補助容量共通配線とがゲート絶縁層を挟んで互いに重畳しないように配置されていれば、貫通孔が下層のゲート絶縁層に及んでも、その下方にはアドレス配線又は補助容量共通配線がないので、リークを起こすことはない。

【0024】また、導電性貫通孔に接続する蓄積容量電極の部分とゲート絶縁層との間にエッチング保護層が設けられていることが好ましい。

【0025】導電性貫通孔が接続する蓄積容量電極の部分とゲート絶縁層との間にエッチング保護層が設けられていれば、蓄積容量電極のパターンに欠損があっても、貫通孔がこのエッチング保護層に阻止されてゲート絶縁層にまで達しないので、リークによる製品の歩留り低下を防ぐことができる。

【0026】エッチング保護層はアモルファスシリコン膜からなることが好ましい。アモルファスシリコン膜は前記のエッチングにより侵食されないので、ゲート絶縁層を保護する効果がある。

【0027】本発明の液晶表示装置において、データ配線は一定幅の帯状に形成され、かつTFT部のドレイン電極がこの帯状データ配線内に含まれるように形成されていることが好ましい。

【0028】ドレイン電極が帯状データ配線内に含まれていれば、TFT部のドレイン電極部分が画素領域内に突出しないので、その分、画素領域の開口率を向上させることができる。またこの時、TFT部のチャネル幅の全体がドレイン電極となるので、ドレイン電極とチャネル層との接触抵抗が減少し、データの書き込み速度が向上する。

【0029】また、本発明は、前記上層絶縁膜はシリコン窒化膜からなる第1上層絶縁膜と有機膜からなる第2上層絶縁膜との2層構造とすることができる。更に、前記第1上層絶縁膜と前記第2上層絶縁膜との間にカラーフィルター及び／又はブラックマトリクスを設けてもよい。

【0030】本発明に係る液晶表示装置の製造方法は、絶縁性基板上に複数のアドレス配線と、各画素領域において前記アドレス配線から延びるゲートとを形成し、前記アドレス配線及び前記ゲート上にゲート絶縁層を形成し、このゲート絶縁層の上に、前記アドレス配線と交差して前記画素領域を形成する複数のデータ配線と、各画

素領域の薄膜トランジスタ部において前記データ配線から延びる電極と、画素電極に接続される電極と、この画素電極に接続される電極から同一金属膜で一体に延びて隣接する画素領域のアドレス配線との間に静電容量を蓄積する蓄積容量電極とを形成し、前記データ配線、前記各電極及び前記蓄積容量電極上に上層絶縁層を形成し、この上層絶縁層に前記蓄積容量電極に達する貫通孔を形成し、前記上層絶縁層の上に前記画素電極を形成すると共に、この画素電極と前記蓄積容量電極とを前記貫通孔で接続することを特徴とする。

【0031】この製造方法によれば、隣接する画素領域のアドレス配線と蓄積容量電極との間に静電容量を蓄積する液晶表示装置を製造することができる。この際、データ配線と、TFT部のドレイン電極とソース電極と、このソース電極から同一金属膜で一体に延びる蓄積容量電極とが1度のパターニング工程で一挙に形成できるので蓄積容量電極形成のために追加のパターニング工程を必要とせず、しかも金属膜を用いることによって加工精度よく蓄積容量電極を形成することができる。

【0032】本発明に係る他の液晶表示装置の製造方法は、絶縁性基板上に複数のアドレス配線と、各画素領域において、前記アドレス配線から延びるゲートと補助容量共通配線とを形成し、前記アドレス配線、前記ゲート及び前記補助容量共通配線上にゲート絶縁層を形成し、このゲート絶縁層の上に、前記アドレス配線と交差して前記画素領域を形成する複数のデータ配線と、各画素領域の薄膜トランジスタ部において前記データ配線から延びる電極と、前記画素電極に接続される電極と、この画素電極に接続される電極から同一金属膜で一体に延びて前記補助容量共通配線との間に静電容量を蓄積する蓄積容量電極とを形成し、前記データ配線、前記電極及び前記蓄積容量電極上に上層絶縁層を形成し、この上層絶縁層に前記蓄積容量電極に達する貫通孔を形成し、前記上層絶縁層の上に前記画素電極を形成すると共に、この画素電極と前記蓄積容量電極とを前記貫通孔で接続することを特徴とする。

【0033】この製造方法によれば、補助容量共通配線と蓄積容量電極との間に静電容量を蓄積する液晶表示装置を製造することができる。この場合も、データ配線と、TFT部のドレイン電極とソース電極と、このソース電極から同一金属膜で一体に延びる蓄積容量電極とが1度のパターニング工程で一挙に形成できるので、蓄積容量電極形成のために追加のパターニング工程を必要とせず、しかも金属膜を用いることによって加工精度よく蓄積容量電極を形成することができる。

【0034】本発明は、また前記において、ゲート絶縁層と蓄積容量電極との間にエッチング保護層を設ける液晶表示装置の製造方法を提供する。

【0035】これによって、後のパターニング工程において上層絶縁層をエッチングして蓄積容量電極に達する

貫通孔を形成する際に、蓄積容量電極のパターンに欠損などがあっても、貫通孔が下層のゲート絶縁層を侵食してリークを起こす可能性が防止できる。

【0036】エッチング保護層は、TFT部においてゲート絶縁層の上に形成されるアモルファスシリコン膜からなるチャネル層及びコンタクト層の形成と同時に、アモルファスシリコン膜を用いて形成することが好ましい。

【0037】画素領域にTFT部を形成する際には、一般にゲート絶縁層の上にアモルファスシリコン膜からなるチャネル層及びコンタクト層を形成する。そこで、チャネル層及びコンタクト層の形成と同時に、導電性貫通孔が接続する蓄積容量電極の位置にもこのTFT部と同じアモルファスシリコン膜を形成すれば、パターニング工程を増やすことなくエッチング保護層を形成することができる。

【0038】

【発明の実施の形態】以下、本発明の実施の形態について、添付の図面を参照して具体的に説明する。

【0039】（実施形態1）図1は、本発明の実施形態1の液晶表示装置におけるTFTアレイ基板の1画素領域P1を示す平面図、図2は図1のA-A線で切った断面図である。なお、図1において画素電極31は2点鎖線で示す。

【0040】図1及び図2において、実施形態1の液晶表示装置は、透明ガラスからなる絶縁性基板1の上にアドレス配線10a、10bが並列に配置され、この上にシリコン窒化膜からなるゲート絶縁層2が形成され、この上に、アドレス配線10a、10bと交差するように帯状のデータ配線20a、20bが並列に配置され、アドレス配線10a、10bとデータ配線20a、20bとで囲まれた領域が画素領域P1を形成し、この画素領域P1に隣接して、他の画素領域P2が同様に形成されている。

【0041】データ配線20a、20bが形成された層の上にはシリコン窒化膜からなる第1上層絶縁層3とその上の感光性アクリル樹脂からなる第2上層絶縁層4とが形成され、この第2上層絶縁層4の上に、ITOからなる画素電極31が形成されている。以下、第1上層絶縁層3と第2上層絶縁層4とを一括して「上層絶縁層5」という。

【0042】画素領域P1内には、TFT部40が設けられている。このTFT部40は、アドレス配線10aから延びるゲート41と、帯状データ配線20aの一部を利用して形成されたドレイン電極42と、画素電極31に連結するソース電極43とを有し、ゲート41に印加される走査線信号によりドレイン電極42とソース電極43とが選択的に接続されるようになっている。

【0043】アドレス配線10a、10b、データ配線20a、20b、ドレイン電極42及びソース電極43

を形成する素材はいずれも、例えばAl、Mo及びCr等の単層膜、積層膜又は合金膜であって、同じでも異なっているもよい。

【0044】また、画素領域P1内には、蓄積容量部50が設けられている。この蓄積容量部50は、隣接する画素領域P2のアドレス配線10bから画素領域P1内に延びる共通電極52と、ゲート絶縁層2を挟んでその間に静電容量を蓄積する蓄積容量電極51とを備え、この蓄積容量電極51は、配線53を通じてTFT部40のソース電極43と同一金属膜で一体に形成されている。また、この蓄積容量電極51は、上層絶縁層5を貫通する導電性貫通孔33により画素電極31に接続されている。

【0045】この液晶表示装置は、アドレス配線10aに走査線信号が印加され、また、データ配線20aに画像信号が印加されると、TFT部40において、ドレイン電極42とソース電極43とが接続され、画像信号電位は、配線53を経由して蓄積容量部50に至り、蓄積容量電極51と共通電極52との間に静電容量を蓄積すると同時に、導電性貫通孔33を通じて画素電極31に液晶を駆動する電位を印加する。そして、走査線信号がオフとなっても、蓄積容量部50に蓄積された静電容量により、次に、走査線信号と画像信号とが印加されるまで、画素電極31の液晶駆動電位が維持される。

【0046】画素電極31は、その縁部が上層絶縁層5を介してアドレス配線10a、10b、データ配線20a、20b、及びTFT部40の夫々の縁部と重畳するように形成されている。これによって画素電極31の縁部からの光漏れが防止され、従って、ブラックマトリクスの幅も狭くすることができて画素の開口率向上に寄与することができる。

【0047】図1及び図2に示した実施形態1の液晶表示装置を、図19に示した従来例と比較すると、実施形態1ではソース電極43と蓄積容量電極33と画素電極31との接続が配線53と1個の導電性貫通孔33とを介して行われているのに対して、従来例ではソース電極143と画素電極131との接続が導電性貫通孔135を介して行われ、画素電極131と蓄積容量電極151との接続が導電性貫通孔136を介して行われ、画素領

域内に2つの導電性貫通孔135、136が形成されている。ここで、1個の導電性貫通孔33の面積と配線53の面積とを比較すると、画素領域が高精細化するに伴い配線53は長さも幅も小さくなり面積を縮小することができるが、導電性貫通孔33の面積の縮小には前記のように加工精度上の限界があるので、高精細液晶表示装置においては、配線53と1個の導電性貫通孔33との組合せからなる実施形態1のほうが開口率が向上することになる。

【0048】また、実施形態1の液晶表示装置を、図20及び図21に示した従来例と比較すると、実施形態1ではデータ配線20aとドレイン電極42とが同一金属膜で一体に形成され、また、蓄積容量電極51とソース電極43とが配線53と共に同一金属膜で一体に形成されているのに対して、前記従来例では、ドレイン電極242及びソース電極243がn⁺型アモルファスシリコン膜で形成され、このドレイン電極242と接触するデータ配線がITO膜221であり、また、ソース電極243と接触する配線253及び蓄積容量電極251もITO膜を用いて形成されている。

【0049】ここで、実施形態1のものはデータ配線20aとドレイン電極42、及びソース電極43と配線53と蓄積容量電極51とが同一金属膜で一体に形成されているので、1度のパターニングでこれらを一括成形することができ、蓄積容量電極51を形成するために製造工程が増えることはない。更に、データ配線20aとドレイン電極42との間、及びソース電極43と配線53と蓄積容量電極51との間に接続部がないので、従来のn⁺型アモルファスシリコン膜とITO膜との間におけるような大きい接触抵抗は存在せず、充電の遅延が起らないばかりでなく、金属膜の加工精度は一般にITO等よりかなり良好であるので、蓄積容量電極51のパターン精度が高く蓄積容量のバラツキが小さく抑えられる。更に実施形態1のものは、パターン精度が高いことによって書き込み電圧のバラツキ及び輝度のバラツキも小さく抑えられる。

【0050】例えば、実施形態1の金属膜を用いて形成した蓄積容量電極と従来のITO膜を用いて形成した蓄積容量電極とのバラツキを検定すると、

	実施形態1	ITO使用の従来例
静電容量のバラツキ	±9.4%	±18.9%
書き込み電圧のバラツキ	±0.14V	±0.29V
輝度(中間調)のバラツキ	±9.6%	±21.0%

となり、金属膜を使用したことによるパターン精度の向上は明かである。

【0051】更に実施形態1の液晶表示装置は、TFT部40において、ドレイン電極42が帯状データ配線20a内に含まれていることと、画素電極31の縁部が周囲のアドレス配線10a、10b、データ配線20a、20b、及びTFT部40の夫々の縁部と重畳して光漏

れが防止されていることによって、開口率が一層向上している。

【0052】実施形態1の液晶表示装置は以下の手順で製造することができる。ここでは画素領域の形成に限って説明する。図3(a)乃至(g)は、実施形態1の液晶表示装置の製造方法を工程順に示す断面図である。

【0053】先ず、図3(a)に示すように、ガラス製

の絶縁性基板1の上にCr等の金属を用いて厚さが、例えば100nm～400nmとなるようにアドレス配線10a、10b…を並列して形成する。各アドレス配線10a、10b…は、夫々画素領域P1、P2…内のTFT部40にゲート41が、また、蓄積容量部50に共通電極52が延びるようにパターニングされている。

【0054】次に、図3(b)に示すように、アドレス配線10a…が形成された絶縁性基板1の全面に、例えばシリコン窒化膜からなるゲート絶縁層2を形成する。その後、図3(c)に示すように、ゲート絶縁層2を挟んでゲート41の上に、チャンネル層となる厚さ300nmのイントリンシック・アモルファスシリコン膜44と、この上にコンタクト層となる厚さ50nmのn⁺型アモルファスシリコン膜45とを形成する。次いで、図示はしないが、パターニングしてチャンネル層(44)とコンタクト層(45)とを形成する。

【0055】次に、図3(d)に示すように、ゲート絶縁層2の上に、アドレス配線10a、10b…と交差する複数のデータ配線20a、20b…を並列して形成する。このデータ配線20a、20b…は帯状に形成し、この帯状データ配線20a、20b…の側部がチャンネル層(44)及びコンタクト層(45)の一部を覆うように配置する。これによって、チャンネル層(44)及びコンタクト層(45)を覆ったデータ配線20a、20b…の部分がTFT部40におけるドレイン電極42を形成することになる。

【0056】また、このデータ配線20a、20b…の形成と同時に、同じパターニング操作により、ソース電極43と配線53と蓄積容量電極51とからなる回路も形成する。この回路とデータ配線20a、20b…とは、アドレス配線10a、10b…と同様の金属を用い、厚さは、例えば100nm～400nmとされる。

【0057】次に、図3(e)に示すように、画素領域P1全体を、例えば厚さが100nm～200nmのシリコン窒化膜からなる第1上層絶縁層3で覆い、更に、図3(f)に示すように、第1上層絶縁層3の上に、例えば厚さ2.0μm～4.5μmの感光性アクリル樹脂製レジスト膜からなる第2上層絶縁層4を形成する。このとき、レジスト膜のパターン露光と現像とにより蓄積容量電極51の上方となる位置に貫通孔34を形成する。次いで、レジスト膜パターン(図示せず)をマスクとするウェットエッチング又はドライエッチングによって、この位置の第1上層絶縁層3にも蓄積容量電極51に達する貫通孔35を形成する。なおこのレジスト膜パターンは必ずしも必要ではなく、例えば感光性アクリル樹脂をマスクとしてウェットエッチング又はドライエッチングしてもよい。

【0058】次に、図3(g)に示すように、第2上層絶縁層4の上に、例えば厚さが40nm～100nmのITO膜からなる画素電極31を形成する。このITO

膜は、貫通孔34、35の壁面にも形成され、これによって、貫通孔34、35は蓄積容量電極51に達する導電性貫通孔33となる。

【0059】以上のステップにより実施形態1の画素領域P1は形成される。

【0060】この製造方法によれば、データ配線20a、20b…と、TFT部40のドレイン電極42とソース電極43と、このソース電極43から同一金属膜で一体に延びる配線53と蓄積容量電極51とが1度のパターニング工程で一挙に形成できるので、蓄積容量電極51を形成するための追加のパターニング工程を必要とせず、しかも蓄積容量電極51がソース電極43と同一の金属からなるので、加工精度が良好で欠損や蓄積容量のバラツキ等が少なく、生産歩留りがよい。

【0061】図1乃至3に示す実施形態1においては、TFTアレイ基板にはカラーフィルター又はブラックマトリクスを組み込まず、対向基板側にカラーフィルター又はブラックマトリクスを配置したが、図4に示すように、TFTアレイ基板側にカラーフィルター6又はブラックマトリクス7を組み込み、本発明を所謂CFオンTFT(カラーフィルター・オン・TFT)に適用することも可能である。図4は実施形態1の変形例を示す断面図である。なお、図4において、蓄積容量電極は図示されていない。この蓄積容量電極及び共通電極は、例えば、後述する図6の実施例と同様に構成することができる。

【0062】本実施例においては、第1上層絶縁層3と第2上層絶縁層4との間にカラーフィルター6が挿入されている。また、TFTのチャンネル領域を遮光するようにブラックマトリクス7が第1上層絶縁層3と第2上層絶縁層4との間に設けられている。これ以外の点は実施形態1と同様である。これらカラーフィルター6及びブラックマトリクス7は顔料を含む透明樹脂からなるが、導電性貫通孔33を形成する領域には設けないようにする必要がある。

【0063】(実施形態2)図5は、本発明の実施形態2の液晶表示装置におけるTFTアレイ基板の1画素領域P1を示す平面図、図6は、図5のB-B線で切った断面図である。なお、図5において画素電極31は2点鎖線で示す。

【0064】図5及び図6に示す実施形態2の液晶表示装置は、製造時の不具合によって発生する恐れがある蓄積容量電極51と共通電極54との間のリークの防止を図ったものであり、蓄積容量部50の構成が異なる以外は実施形態1のものと同様である。従って、ここでは主として蓄積容量部50の構成についてのみ説明する。

【0065】図5及び図6において、この蓄積容量部50は、隣接する画素領域P2のアドレス配線11bから画素領域P1内に延びる共通電極54と、ゲート絶縁層2を挟んでその間に静電容量を蓄積する蓄積容量電極5

1とを備え、この蓄積容量電極51は、配線53を通じてTFT部40のソース電極43と同一金属膜で一体に形成されている。また、この蓄積容量電極51は、上層絶縁層5を貫通する導電性貫通孔33により画素電極31に接続されている。

【0066】共通電極54には切欠55が形成されている。この切欠55は、導電性貫通孔33の平面投影が共通電極54に重ならないように形成されている。このため、製造時に、蓄積容量電極51の貫通孔33により露出している部分に欠損が生じた場合、後のステップで上層絶縁層5をエッチングして貫通孔を形成する際に、この貫通孔が下層のゲート絶縁層2にまで達したとしても、その下方には共通電極54又はアドレス配線11bが存在しないので、蓄積容量部50と共通電極54とがITO膜で接続される惧れはなく、リークは発生しない。

【0067】実施形態2の製造方法は、切欠55が形成されるように共通電極54の形状を変える以外は、実施形態1の場合と実質的に同様なので、ここでは説明を省略する。

【0068】(実施形態3)図7は、本発明の実施形態3の液晶表示装置におけるTFTアレイ基板の1画素領域P1を示す平面図、図8は図7のC-C線で切った断面図である。なお、図7において画素電極31は2点鎖線で示す。

【0069】この実施形態3は、製造時の不具合によって発生する惧れがある蓄積容量電極51と共通電極54との間のリークの防止を図ったものであり、実施形態2よりも開口率の向上と静電容量の増加との両立を意図したものである。

【0070】この実施形態3では、蓄積容量電極51とゲート絶縁層2との間にエッチング保護層56が設けられている。

【0071】図7及び図8において、実施形態3の液晶表示装置は、透明ガラスからなる絶縁性基板1の上にアドレス配線10a、10bが並列され、この上に、例えばシリコン窒化膜からなるゲート絶縁層2が形成され、この上にアドレス配線10a、10bと交差するように帯状のデータ配線20a、20bが並列され、アドレス配線10a、10bとデータ配線20a、20bとで囲まれた領域が1画素領域P1を形成し、この画素領域P1に隣接して、他の画素領域P2が同様に形成されている。

【0072】データ配線20a、20bが形成された層の上には、例えばシリコン窒化膜からなる第1上層絶縁層3と、その上に感光性アクリル樹脂からなる第2上層絶縁層4とが形成され、この第2上層絶縁層4の上に、ITOからなる画素電極31が形成されている。

【0073】TFT部40には、アドレス配線10aから延びるゲート41とゲート絶縁層2を挟んで対向する

位置にイントリンシック・アモルファスシリコン膜44からなるチャネル層と、この上にn⁺型アモルファスシリコン膜45からなるコンタクト層とが形成され、帯状データ配線20aの側部がこのアモルファスシリコン膜44、45の一部を覆うように配置されてTFT部40のドレイン電極42を形成している。

【0074】蓄積容量部50は、隣接する画素領域P2のアドレス配線10bから画素領域P1内に延びる共通電極52と、ゲート絶縁層2を挟んでこの共通電極と対向する位置に順次イントリンシック・アモルファスシリコン膜44とn⁺型アモルファスシリコン膜45とからなるエッチング保護層56が形成され、この上に蓄積容量電極51が形成されている。この蓄積容量電極51は、配線53を通じてTFT部40のソース電極43と同一金属膜で一体に形成され、また、上層絶縁層5を貫通する導電性貫通孔33により画素電極31に接続されている。

【0075】エッチング保護層56は、導電性貫通孔33の平面投影がその中に含まれる形状と大きさを有している。

【0076】この実施形態3の液晶表示装置は、製造時に蓄積容量電極51に欠損が生じて、後のステップで上層絶縁層5をエッチングして貫通孔33を形成する際に、アモルファスシリコン膜44、45がエッチング保護層56となるので、ゲート絶縁層2がエッチングされることがなく、従って、蓄積容量電極51と共通電極52とのリークが防止される。実施形態3の構成によれば共通電極52と重なる位置に貫通孔33を形成できるため、実施形態2のものよりも開口率の向上と静電容量の増加とを両立させることができる。

【0077】図9(a)乃至(g)は、実施形態3の液晶表示装置の製造方法を工程順に示す断面図である。先ず、図9(a)に示すように、ガラス製の絶縁性基板1の上に金属を用いて、例えば厚さが100nm~400nmのアドレス配線10a、10b…を形成する。各アドレス配線10a、10b…は、夫々画素領域P1、P2…のTFT部40にゲート41が、また、蓄積容量部50に共通電極52が延びるようにパターンニングされている。

【0078】次に、図9(b)に示すように、アドレス配線10a…が形成された絶縁性基板1の全面に、例えばシリコン窒化膜からなるゲート絶縁層2を形成する。

【0079】次いで、図9(c)に示すように、ゲート絶縁層2を挟んでゲート41と対向する位置に、順次、TFTのチャネル層となるイントリンシック・アモルファスシリコン膜44と、この上にコンタクト層となるn⁺型アモルファスシリコン膜45とを形成する。このとき同時に夫々同じパターンニング操作によって、ゲート絶縁層2を挟んで共通電極52と対向する位置に、順次、イントリンシック・アモルファスシリコン膜44とn⁺

型アモルファスシリコン膜45とからなるエッチング保護層56とを形成する。

【0080】次いで、図示はしないが、TFT部40のイントリンシック・アモルファスシリコン膜44とn⁺型アモルファスシリコン膜45とをパターンニングしてチャネル層(44)とコンタクト層(45)とを成形する。

【0081】次に、図9(d)に示すように、ゲート絶縁層2の上に、アドレス配線10a、10b…と交差する複数のデータ配線20a、20b…を、アドレス配線10a、10b…と同様の金属を用い並列に形成する。このデータ配線20a、20b…は帯状に形成し、この帯状データ配線20a、20b…の側部がチャネル層(44)及びコンタクト層(45)の一部を覆うように配置する。これによって、チャネル層(44)及びコンタクト層(45)を覆ったデータ配線20a、20b…の部分がTFT部40におけるドレイン電極42となる。

【0082】また、このデータ配線20a、20b…の形成と同時に、同じパターンニング操作により、アドレス配線10a、10b…と同様の金属を用いソース電極43と配線53と蓄積容量電極51とからなる回路も形成する。

【0083】次に、図9(e)に示すように、画素領域P1全体をシリコン窒化膜からなる第1上層絶縁層3で覆い、更に、図9(f)に示すように、第1上層絶縁層3の上に、例えば感光性アクリル樹脂製レジスト膜からなる第2上層絶縁層4を形成する。このとき、レジスト膜のパターン露光と現像とにより蓄積容量電極51の上方となる位置に貫通孔34を形成する。また、この位置の第1上層絶縁層3にも、レジスト膜パターン(図示せず)をマスクとするウェットエッチング又はドライエッチングにより、蓄積容量電極51に達する貫通孔35を形成する。

【0084】次に、図9(g)に示すように、第2上層絶縁層4の上にITO膜からなる画素電極31を形成する。このITO膜は、貫通孔34、35の壁面にも形成され、これによって貫通孔34、35は蓄積容量電極51に達する導電性貫通孔33となる。以上のステップにより実施形態3の画素領域P1は形成される。

【0085】この製造方法によれば、TFT部40にチャネル層及びコンタクト層を形成すると同時に、同じパターンニング工程で同じアモルファスシリコン膜44、45を用いてエッチング保護層56が形成できるので、エッチング保護層56形成のための追加の工程は不要である。

【0086】(実施形態4)図10は、本発明の実施形態4の液晶表示装置におけるTFTアレ基板の1画素領域P1を示す平面図である。なお、図10において画素電極31は2点鎖線で示す。

【0087】この実施形態4は、アドレス配線とは別に、補助容量共通配線が蓄積容量電極の対向電極として形成された例である。図10に示すようにこの液晶表示装置は、絶縁性基板上にアドレス配線12a、12bが形成されると共に、画素領域P1内を通りアドレス配線12a、12bと平行な補助容量共通配線13が形成されている。この層の上にはゲート絶縁層を挟んでアドレス配線12a、12bと交差するように帯状のデータ配線20a、20bが形成され、TFT部40においては、アドレス配線12aから延びるゲート41と、帯状データ配線20aの部分に形成されたドレイン電極42とソース電極43とが形成され、このソース電極43からは、配線58を通じて、ゲート絶縁層を挟んで補助容量共通配線13と対向する位置に、蓄積容量電極59がソース電極43及び配線58と同一金属膜で一体に形成されている。この上には、上層絶縁層を挟んで画素領域P1内の液晶に電位を印加する透明導電膜からなる画素電極31が形成され、この画素電極31は、上層絶縁層に形成された導電性貫通孔36によって蓄積容量電極59と接続されている。

【0088】一般に、隣接するアドレス配線10bを当該画素領域P1の蓄積容量部50における定電位側の電極として利用した場合には、画素領域P2に書き換え信号を印加するためアドレス配線10bが駆動されたとき、この瞬間に画素領域P1の蓄積容量部50における静電容量が変化してしまう。これに対してこの実施形態4の液晶表示装置は、画素領域P1の静電容量が蓄積容量電極59と電位変動のない補助容量共通配線13との間に蓄積されるので、隣接する画素領域のアドレス配線12bを対向電極とする場合に比べて液晶に印加される電圧が安定し、均一な表示画像が得られるようになる。

【0089】(実施形態5)図11は本発明の実施形態5の液晶表示装置におけるTFTアレ基板の1画素領域P1を示す平面図である。なお、図11において画素電極31は2点鎖線で示す。

【0090】実施形態1乃至4に示す液晶表示装置を画素領域の寸法が40 μ m×120 μ m程度の高精細液晶表示装置に適用した場合、画素寸法が従来の液晶表示装置(100 μ m×300 μ m程度)に比べて極端に小さいため、液晶容量及び蓄積容量が従来の液晶表示装置に比べ1/3～1/4程度に小さくなる。このため、保持容量が小さすぎ、TFTのオフ特性が劣化した場合に、コントラストの低下又はフリッカによるちらつき等の表示不良を生じる場合がある。この問題を抑制するために、蓄積容量を大きくすることが有効である。図11に示す実施形態5の液晶表示装置は、上記問題点を解決するため、高精細液晶表示装置に適用する場合でも、蓄積容量を大きくすることを図ったものであり、蓄積容量部50の構成が異なる以外は実施形態1と同様である。従って、ここでは、主として蓄積容量部50の構成につい

て説明する。

【0091】画素領域P1内には、蓄積容量部50が設けられている。この蓄積容量部50は、隣接する画素領域P2のアドレス配線10bから画素領域P1内に延びる共通電極52と、ゲート絶縁層2を挟んでその間に静電容量を蓄積する蓄積容量電極51とを備え、この蓄積容量電極51は配線53を介してTFT部40のソース電極43と同一金属膜で一体に成形されている。また、この蓄積容量電極51は、上層絶縁層5を貫通する貫通孔33により画素電極31に接続されている。共通電極52は蓄積容量電極51の下方でこの蓄積容量電極51とオーバーラップしている部分を有すると共に、蓄積容量を大きくするため、配線53の下方でこの配線53の長手方向に平行に延びる部分を有する。この場合に、共通電極52の配線53とオーバーラップしている部分の幅は、配線53の幅より狭い。このように、共通電極52は配線53の大部分において配線53とオーバーラップしている。

【0092】本実施形態においては、蓄積容量電極51及び配線53と、共通電極52とが、蓄積容量電極51及び配線53のほぼ全域でゲート絶縁層52を間に挟んで対向しているので、蓄積容量部50は、図1乃至10に示す前述の各実施形態よりも大きな面積で電荷を蓄積することができる。このため、蓄積容量を増大させることができる。

【0093】図12はこの第5の実施形態の変形例を示す図である。本変形例は、図11に示す蓄積容量部50に対して、配線53の幅の方がこの配線53にオーバーラップしている共通電極52の部分の幅よりも広い点が異なる。この蓄積容量電極50においても、この配線と53とこの配線53に重なる共通電極52部分との間で電荷を蓄積できるため、蓄積容量を増大させることができる。

【0094】次に、本実施形態5の更に他の変形例について説明する。図13は本変形例の液晶表示装置におけるTFTアレ基板の1画素領域P1を示す平面図、図14は図13のD-D線による断面図、図15は図13のE-E線による断面図である。

【0095】図13に示す実施形態5の液晶表示装置は、高精細液晶表示装置に適用する場合でも、開口率が低下することなく、蓄積容量を大きくすることを図ったものであり、蓄積容量部50の構成が異なる以外は実施形態1と同様である。従って、ここでは、主として蓄積容量部50の構成について説明する。

【0096】画素領域P1内には、蓄積容量部50が設けられている。この蓄積容量部50は、隣接する画素領域P2のアドレス配線10bから画素領域P1内に延びる共通電極52と、ゲート絶縁層2を挟んでその間に静電容量を蓄積する蓄積容量電極51とを備え、この蓄積容量電極51は配線53を介してTFT部40のソース

電極43と同一金属膜で一体に成形されている。また、この蓄積容量電極51は、上層絶縁層5を貫通する貫通孔33により画素電極31に接続されている。共通電極52は蓄積容量電極51とオーバーラップしているのみでなく、蓄積容量を大きくするため、配線53の長手方向に平行に延び、この配線53の大部分において配線53とオーバーラップしている。本実施例の共通電極52は、蓄積容量電極51に重なる部分と、配線53に重なる部分とを有し、配線53に重なる部分において、配線53と幅が同一である。しかし、この共通電極52の配線53に重なる部分はその蓄積容量電極51側の半分と、残りの半分とでその幅方向にずれている。

【0097】図14及び図15は夫々図13のD-D線及びE-E線による断面図であり、共通電極52と配線53のオーバーラップ部分を示す断面図である。前述の如く、配線53と、共通電極52における配線53に重なる部分とは幅が同一であり、配線53の蓄積容量電極51側の部分Aでは、共通電極52が配線53よりも図14において左側に $\Delta x \mu m$ だけずれるように設計されている。一方、配線53のTFT側の部分Bでは、共通電極52が配線53よりも図14において右側に $\Delta x \mu m$ だけずれるように設計されている。

【0098】上述の如く、共通電極52と配線53とをその長手方向の半分づつ互い違いに幅方向に若干ずらせて配置した理由は、露光機による共通電極52と配線53部とのアライメントずれを考慮したためである。上記高精細液晶表示装置では、保持容量（蓄積容量と液晶容量との和）のうち蓄積容量が占める部分が大きいので、蓄積容量のばらつきはフリッカちらつきの面内ばらつき等の表示不良を生じやすい。

【0099】一般に露光機のアライメント精度は 3σ で $1.5 \sim 2 \mu m$ 程度なので、共通電極52の方を、配線53よりもアライメント精度分の Δx だけ大きくする必要がある。この場合、共通電極52の長軸方向の両側を Δx 分大きくしてもよいが、開口率の低下が大きくなるので、本変形例では上述の如く共通電極52の配線と重なる部分を互い違いに幅方向にずらすことで開口率の低下を抑えている。なお、本実施形態では共通電極52をその半分の領域で互い違いにずらせたが、配線53の方をその長手方向の半分の領域で互い違いにずらせても同様の効果が得られることはいうまでもない。また、上述の実施形態においては、共通電極52における配線53と重なる部分は帯状をなしているが、この部分は帯状に限らず、菱形又は平行四辺形等、種々の形状にすることができる。但し、蓄積容量値のバラツキを回避するために、各蓄積容量部において、共通電極と配線とが重なる面積は一定にすることが好ましい。

【0100】

【発明の効果】本発明の液晶表示装置は、蓄積容量電極と画素電極とが上層絶縁層を貫通する導電性貫通孔によ

り接続され、かつ蓄積容量電極とTFT部の一方の電極とが同一金属膜で一体に形成されているので、1個の導電性貫通孔によって画素領域内の回路構成が可能となり、特に高精細液晶表示装置において、導電性貫通孔が2個必要であった従来の画素構成に比べて開口率が向上する。また、蓄積容量電極とTFT部の一方の電極とが1度のパターニングで形成できるので、製造工程が簡略化され、液晶表示装置を安価に製造することができる。更に、TFT部においてn⁺型アモルファスシリコン膜と金属膜とが直接接触しているのでこの間の接触抵抗が低く抑えられ、充電時間が短縮され、安定した画像が得られるようになる。また蓄積容量電極が金属膜で形成されているので、加工精度のバラツキも低く抑えられ歩留りが向上する。

【図面の簡単な説明】

【図1】本発明の実施形態1の液晶表示装置におけるTFTアレイ基板の1画素領域P1を示す平面図である。

【図2】図1のA-A線で切った断面図である。

【図3】(a)～(g)は実施形態1の液晶表示装置の製造方法を工程順に示す断面図である。

【図4】実施形態1の変形例を示す断面図である。

【図5】本発明の実施形態2の液晶表示装置におけるTFTアレイ基板の1画素領域P1を示す平面図である。

【図6】図5のB-B線で切った断面図である。

【図7】本発明の実施形態3の液晶表示装置におけるTFTアレイ基板の1画素領域P1を示す平面図である。

【図8】図7のC-C線で切った断面図である。

【図9】(a)～(g)は実施形態3の液晶表示装置の製造方法を工程順に示す断面図である。

【図10】本発明の実施形態4の液晶表示装置におけるTFTアレイ基板の1画素領域P1を示す平面図である。

【図11】本発明の実施形態5の液晶表示装置におけるTFTアレイ基板の1画素領域P1を示す平面図である。

【図12】同じく、実施形態5の変形例の液晶表示装置におけるTFTアレイ基板の1画素領域P1を示す平面図である。

【図13】同じく、実施形態5の他の変形例の液晶表示装置におけるTFTアレイ基板の1画素領域P1を示す平面図である。

【図14】図13のD-D線による断面図である。

【図15】図13のE-E線による断面図である。

【図16】従来の液晶表示装置における1画素領域の回路構成を示す回路図である。

【図17】図16に示した回路構成からなる従来の液晶表示装置における画素領域を示す平面図である。

【図18】図17のF-F線で切った断面図である。

【図19】従来の他の液晶表示装置における画素領域を示す断面図である。

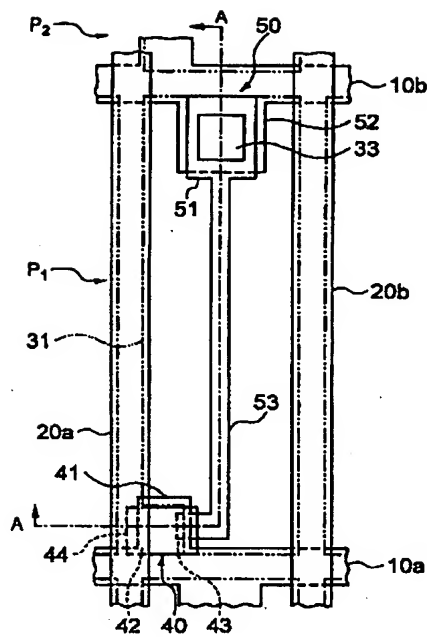
【図20】従来の単一貫通孔方式の液晶表示装置における画素領域を示す平面図である。

【図21】図20のG-G線で切った断面図である。

【符号の説明】

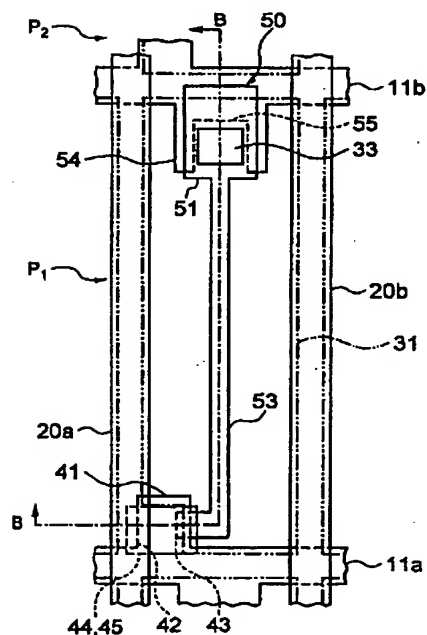
- 1；絶縁性基板
- 2；ゲート絶縁層
- 3；第1上層絶縁層
- 4；第2上層絶縁層
- 5；上層絶縁層
- 10a, 10b；アドレス配線
- 11a, 11b；アドレス配線
- 12a, 12b；アドレス配線
- 13；補助容量共通配線
- 20a, 20b；データ配線
- 31；画素電極
- 33；導電性貫通孔
- 34；貫通孔
- 35；貫通孔
- 40；TFT部
- 41；ゲート
- 42；ドレイン電極
- 43；ソース電極
- 44；イントリンシック・アモルファスシリコン膜 (44)；チャネル層
- 45；n⁺型アモルファスシリコン膜 (45)；コンタクト層
- 50；蓄積容量部
- 51；蓄積容量電極
- 52；共通電極
- 53；配線
- 54；共通電極
- 55；切欠
- 56；エッチング保護層
- 58；配線
- 59；蓄積容量電極
- P1, P2；画素領域

【図1】



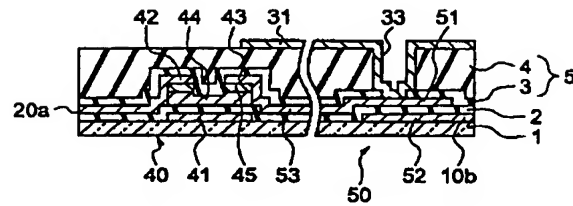
31: 画素電極
33: 導電性貫通孔
40: TFT部
P1, P2: 画素領域

【図5】



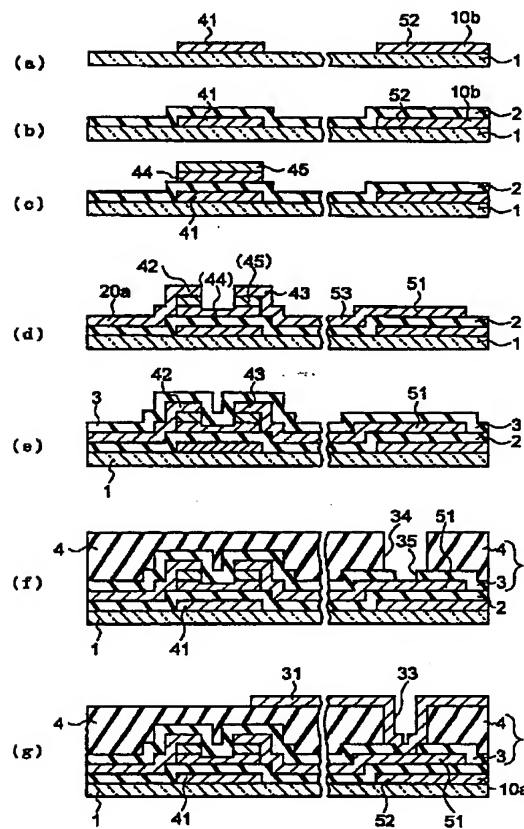
11a, 11b: アドレス配線
20a, 20b: データ配線

【図2】



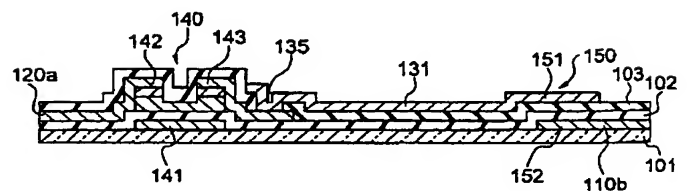
1: 絶縁性基板
2: ゲート絶縁層
3: 第1上層絶縁層
4: 第2上層絶縁層
5: 上層絶縁層
41: ゲート
42: ドレイン電極
43: ソース電極

【図3】

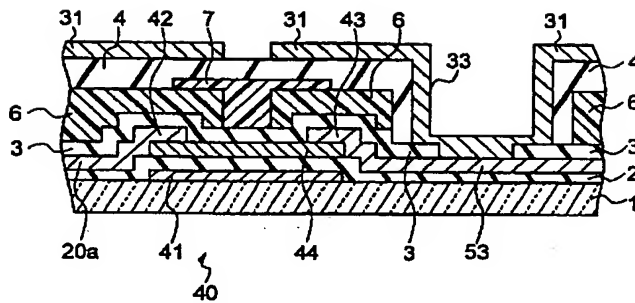


31: 画素電極
52: 共通電極
41: ゲート
53: 配線

【図18】

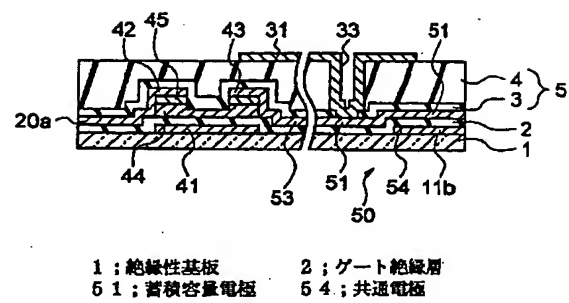


【図4】



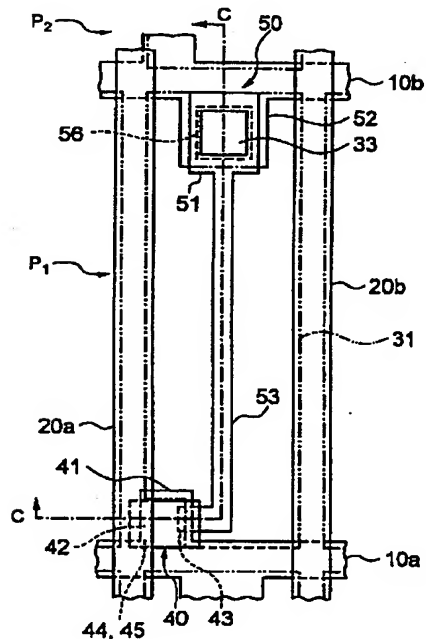
3; 第1上層絶縁層 4; 第2上層絶縁層
6; カラーフィルター 7; ブラックマトリクス

【図6】



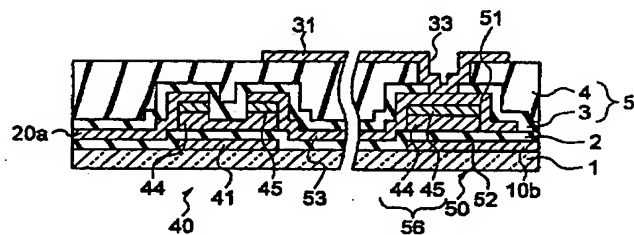
1; 絶縁性基板 2; ゲート絶縁層
51; 蓄積容量電極 54; 共通電極

【図7】



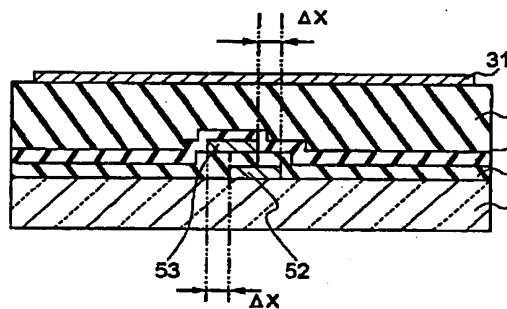
10a, 10b; アドレス配線
56; エッチング保護層

【図8】



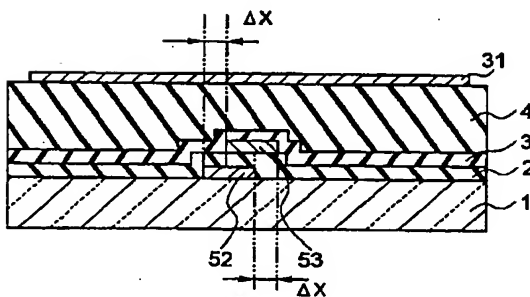
10b; アドレス配線 20a; データ配線
51; 蓄積容量電極 52; 共通電極

【図15】

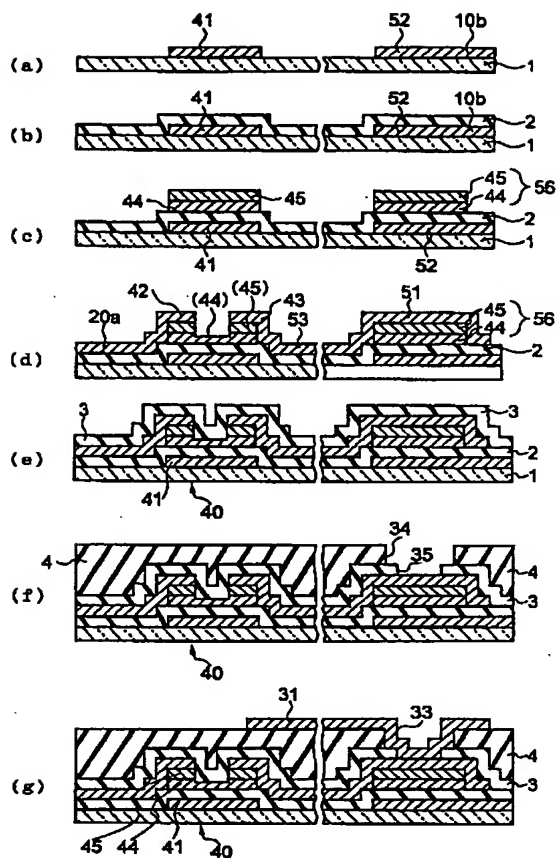


1; 絶縁性基板 2; ゲート絶縁層
3; 第1上層絶縁層 4; 第2上層絶縁層

【図14】

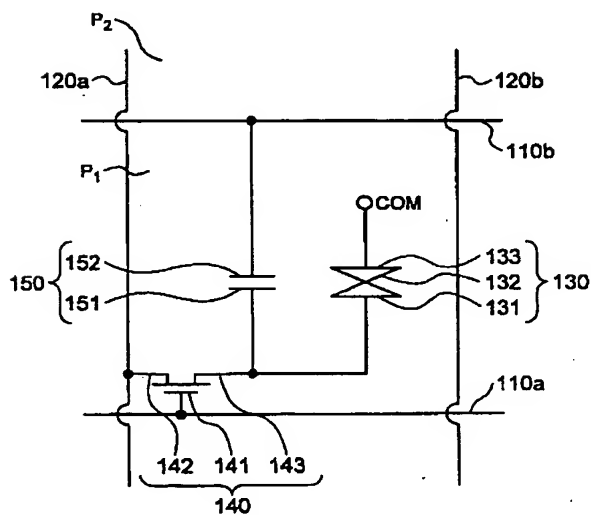


【図9】



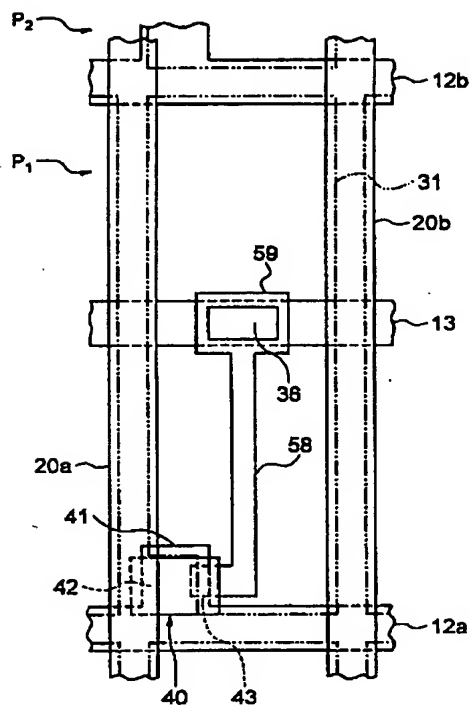
34, 35; 貫通孔

【図16】



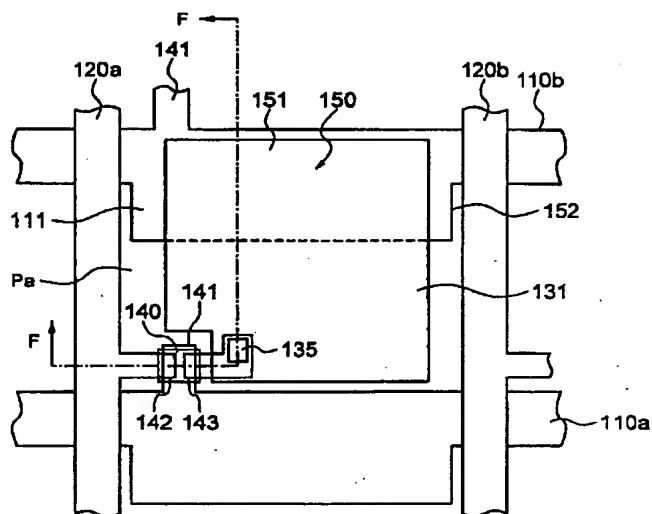
110a, 110b; アドレス配線
120a, 120b; データ配線
130; 液晶素子 140; TFT部
150; 蓄積容量部

【図10】



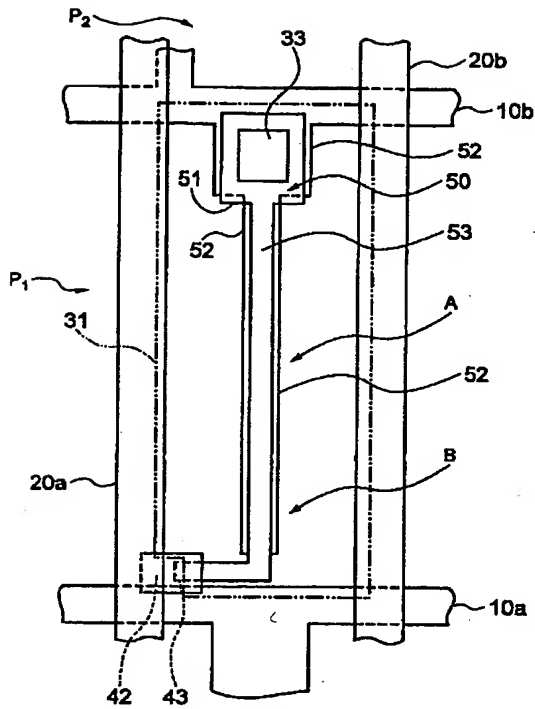
12a, 12b; アドレス配線
59; 蓄積容量電極
36; 導電性質通孔

【図17】



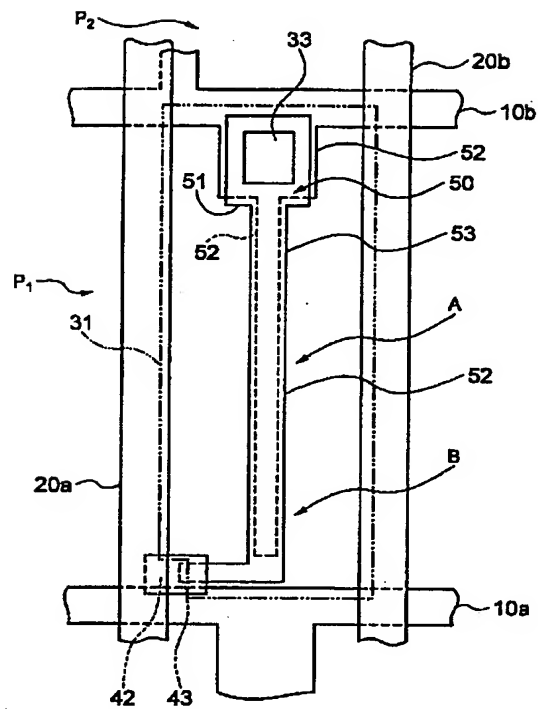
151 ; 蓄積容量電極
152 ; 共通電極

【図11】



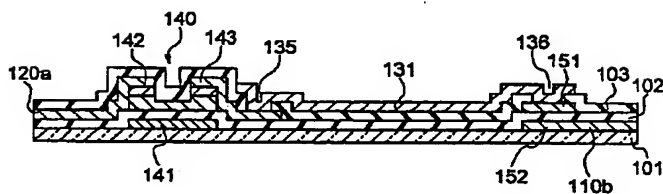
31: 面素電極
33: 導電性貫通孔

【図12】



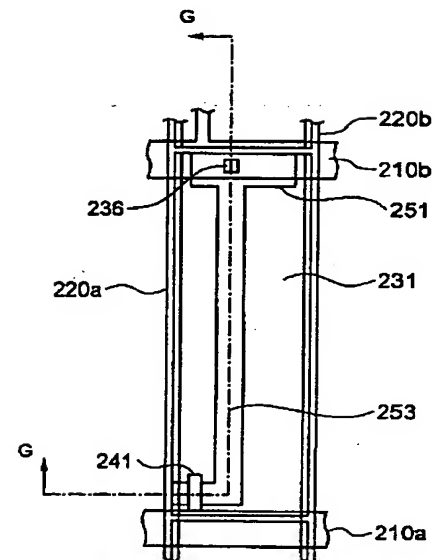
P1, P2: 面素領域

【図19】



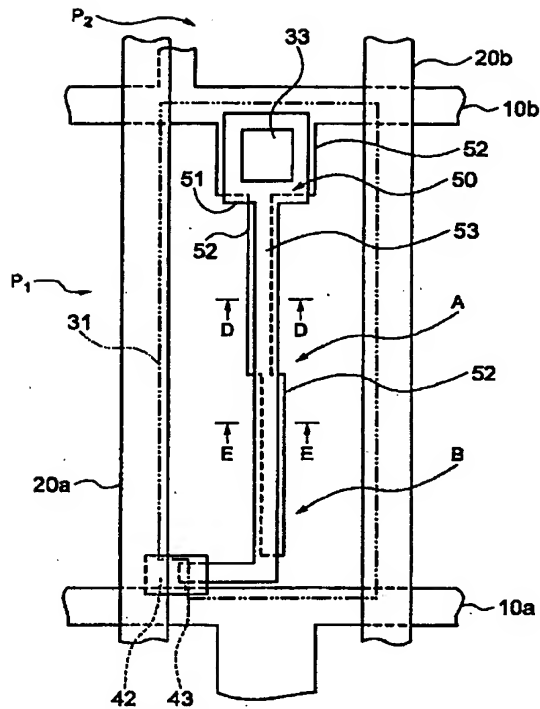
101: 絶縁性基板
102: ゲート絶縁層
103: 上層絶縁層
135: 導電性貫通孔

【図20】



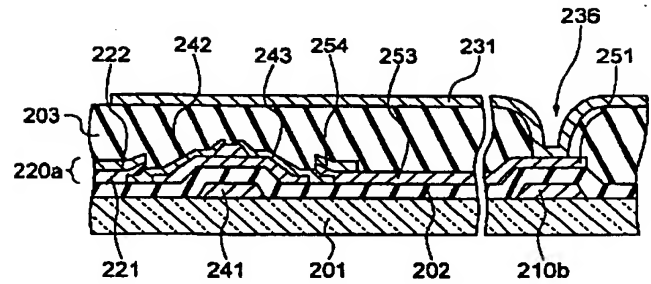
231: 面素電極
241: ゲート
251: 蓄積容量電極
253: 配線

【図13】



50 ; 蓄積容量部 51 ; 蓄積容量電極
52 ; 共通電極 53 ; 配線

【図21】



210b ; アドレス配線 220a ; データ配線
242 ; ドレイン電極 243 ; ソース電極
254 ; 金属層

フロントページの続き

(51)Int. Cl.⁷

H 0 1 L 21/336

識別記号

F I

H 0 1 L 29/78

ターマコード (参考)

6 1 2 C

(72)発明者 吉川 周憲
東京都港区芝五丁目7番1号 日本電気株
式会社内
(72)発明者 山本 勇司
東京都港区芝五丁目7番1号 日本電気株
式会社内
(72)発明者 岡本 守
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 中田 慎一
東京都港区芝五丁目7番1号 日本電気株
式会社内
(72)発明者 秀平 昌信
東京都港区芝五丁目7番1号 日本電気株
式会社内
(72)発明者 堀江 由高
東京都港区芝五丁目7番1号 日本電気株
式会社内
(72)発明者 丸山 宗生
東京都港区芝五丁目7番1号 日本電気株
式会社内

THIS PAGE BLANK (USPTO)